

---

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

---

## KOREAN PATENT ABSTRACTS

(11) Publication number: 100261560 B1  
(43) Date of publication of application: 19.04.2000

---

(21) Application number: 1019970049553

(71) Applicant:

HYUNDAI MICRO  
ELECTRONICS CO., LTD.

(22) Date of filing: 29.09.1997

(72) Inventor:

CHUN, YEONG IL

(51) Int. Cl

H01L 27/06

---

## (54) CAPACITOR AND METHOD FOR MANUFACTURING THE SAME

## (57) Abstract:

PURPOSE: A capacitor and a method for manufacturing the same are provided to increase dielectric capacitance and decrease leakage current to enhance the characteristics of the capacitor by depositing SiON on a substrate, and enhance the yield by depositing the SiON using a laser deposition method capable of controlling the thickness the SiON.

CONSTITUTION: A lower electrode(10) is deposited on a substrate(1). SiON(5), a nitride film(2) and an oxide film(3) are sequentially deposited on the lower electrode(10). An upper electrode(20) is deposited on the oxide film(3). First, polysilicon is deposited on the substrate(1) to form the lower electrode(10). Then, a natural oxide film is removed by cleaning the substrate(1) with HF solution. Next, the upper electrode is formed by depositing polysilicon on the oxide film(3).

COPYRIGHT 2001 KIPO

## Legal Status

Date of final disposal of an application (20000321)

Patent registration number (1002615600000)

Date of registration (20000419)

**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(51) Int. Cl. H01L 27/06	(11) 공개번호 특1999-027156
(21) 출원번호 1997-049553	(43) 공개일자 1999년04월15일
(22) 출원일자 1997년09월29일	
(71) 출원인 엘지반도체 주식회사, 구본준 충청북도 361480 충청북도 청주시 흥덕구 향정동 1번지	
(72) 발명자 천영일 충청북도 충청북도 청주시 흥덕구 비하동 효성아파트 302동 608호	
(74) 대리인 박장원	
(77) 심사청구 있음	
(54) 출원명 캐패시터 및 그 제조방법	

**요약**

본 발명은 캐패시터 및 그 제조방법에 관한 것으로, 종래 산화막/질화막/산화막 적층구조의 유전막을 갖는 캐패시터는 유전상수가 작은 산화막을 사용하여 유전용량이 작은 문제점과 아울러 자연산화막을 유전막으로 사용하여 그 두께의 조절이 불가능하여 캐패시터의 수율이 좋지 않은 문제점이 있었다. 이와 같은 문제점을 감안한 본 발명은 기판의 상부에 증착한 하부전극과; 상기 하부전극의 상부에 순차적으로 증착한 SiON, 질화막, 산화막과; 상기 산화막의 상부에 증착한 상부전극으로 구성되는 캐패시터를 기판의 상부에 다결정실리콘을 증착하여 하부전극을 형성하는 단계와; 상기 하부전극이 형성된 기판을 세정용액으로 세정하여 하부전극의 상부에 형성되는 자연산화막을 제거하는 단계와; 상기 하부전극의 상부에 SiON을 레이저 증착법으로 증착한 후, 그 SiON의 상부에 질화막과 산화막을 순차적으로 증착하는 단계와; 상기 산화막의 상부에 다결정실리콘을 증착하여 상부전극을 형성하는 단계로 제조함으로써 유전막을 SiON/질화막/산화막의 다층구조로 형성함으로써, SiON의 특성상 유전용량을 증가시키고, 누설전류를 감소시키게 되어 캐패시터의 특성을 향상시키는 효과와 아울러 상기 SiON을 증착두께의 조절이 가능한 레이저 증착법을 사용하여 증착함으로써 수율을 향상시키는 효과가 있다.

**대표도****도3****명세서****도면의 간단한 설명**

도1은 종래 질화막/산화막의 다층구조 유전막을 갖는 캐패시터의 단면도.

도2는 종래 산화막/질화막/산화막의 다층구조 유전막을 갖는 캐패시터의 단면도.

도3은 본 발명 SiON/질화막/산화막의 다층구조 유전막을 갖는 캐패시터의 단면도.

도4는 도3에 있어서, SiON을 증착하는 레이저 증착장비의 구성도.

도5는 도4에서 사용하는 반응가스의 흡수파장을 나타낸 도.

도6의 (a) 및 (b)는 상기 도4의 각 반응가스의 흡수스펙트럼을 도시한 그래프도.

도7은 레이저 증착법에 의한 막 증착의 개념도.

**\*\*\*도면의 주요 부분에 대한 부호의 설명\*\*\***

1:기판

2:질화막

3:산화막

5:SiON

10:하부전극

20:상부전극

**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 캐패시터 및 그 제조방법에 관한 것으로, 특히 캐패시터의 유전막을 SiON/질화막/산화막의 다층구조로 형성하여 낮은 누설전류와 높은 유전용량을 갖는 캐패시터 및 그 제조방법에 관한 것이다.

일반적으로 캐패시터는 다결정실리콘을 양측전극으로 사용하고, 그 양측전극의 사이에 산화막을 유전막으로 이용하여 필요시 전하의 축적이 가능하여 메모리 등에 주로 사용된다. 이때 캐패시터는 그 유전막의 표면적에 따라 전하를 축적하는 양, 즉 유전용량이 결정되기 때문에 동일한 면적의 기판 상에 좀더 큰 면적을 갖는 캐패시터를 형성하기 위하여 그 구조를 변형하고 있으며, 대표적인 예는 다결정실리콘을 선택적 식각하고 그 상부에 절연막을 증착한 후, 다시 상기 다결정실리콘에 접속되는 다결정실리콘을 증착하고, 상기 절연막을 제거한 후, 상기 두 다결정실리콘의 상부에 유전율질을 증착한 다음, 그 유전율질의 상부에 다결정실리콘을 증착하여 제조하는 핀형 캐패시터를 주로 사용하고 있다.

그리고, 유전막은 보통 산화막과 질화막을 적층하였으나, 이는 반도체 소자가 접착화 되면서 캐패시터의 유전막 또한 박막화 되면서, 누설전류가 증가하는 문제점이 있어 산화막/질화막/산화막을 적층하여 사용하였으며, 이와 같은 종래 캐패시터 및 그 제조방법을 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.

도1은 종래 산화막과 질화막 적층구조의 유전막을 갖는 캐패시터의 단면도로서, 이에 도시한 바와 같이 하부전극(10)의 상부에 순차적으로 증착된 질화막(2) 및 산화막(3)과 상기 산화막(3)의 상부에 증착된 상부전극(20)으로 구성된다.

이와 같은 구성의 산화막/질화막을 유전막으로 하는 캐패시터는 기판(1)의 상부에 다결정실리콘을 증착하여 하부전극(10)을 형성하는 단계와: 상기 하부전극(10)이 형성된 기판(1)을 HF용액을 사용하여 세정함으로써, 자연산화막(도면 미도시)을 제거하는 단계와: 상기 하부전극(10)의 상부에 로드록(load lock)장비를 이용하여 질화막(2)을 증착하는 단계와: 상기 질화막(2)의 상부에 산화막(3)을 증착하는 단계와: 상기 산화막(3)의 상부에 다결정실리콘을 증착하여 상부전극(20)을 형성하는 단계를 포함하여 제조된다.

이와 같이 질화막(2)과 산화막(3)의 적층구조를 유전막으로 사용하는 캐패시터는 반도체 소자가 접착화 되고 캐패시터의 유전막이 박막화 되면서 누설전류가 높아 메모리에 사용할 경우 리프레시 불량이 증가하였다. 이러한 이유는 질화막이 전기적이 트랩에 의한 누설전류가 크기 때문에이며 이와 같은 문제점을 보완하기 위해 산화막/질화막/산화막의 적층구조를 이용하게 되었다.

도2는 종래 산화막/질화막/산화막 적층구조를 유전막으로 하는 캐패시터의 단면도로서, 이에 도시한 바와 같이 기판(1)의 상부에 증착된 하부전극(10)과: 상기 하부전극(10)의 상부에 형성된 제 1산화막(4)과: 상기 제 1산화막(4)의 상부에 순차적으로 증착한 질화막(2) 및 산화막(3)과: 상기 산화막(3)의 상부에 증착한 상부전극(20)으로 구성된다.

이와 같이 산화막(4)/질화막(2)/산화막(3) 적층구조를 유전막으로 사용하는 캐패시터는 상기 질화막/산화막 적층구조를 유전막으로 사용하는 캐패시터 제조방법에서 HF용액으로 자연산화막을 제거하는 과정을 생략하여 그 자연산화막을 산화막(4)으로 사용함으로써 용이하게 제조할 수 있다.

이와 같이 산화막(4)/질화막(2)/산화막(3) 적층구조의 유전막을 갖는 캐패시터는 산화막(4)이 질화막보다 누설전류 방지의 효과가 크기 때문에 캐패시터의 누설전류를 줄이는 효과가 있지만, 산화막이 질화막보다 유전상수가 작아 유전용량을 감소시키게 된다.

### 발명이 이루고자 하는 기술적 과제

상기한 바와 같이 종래 산화막/질화막/산화막 적층구조의 유전막을 갖는 캐패시터는 유전상수가 작은 산화막을 사용하여 유전용량이 작은 문제점과 아울러 자연산화막을 유전막으로 사용하여 그 두께의 조절이 불가능하여 캐패시터의 수율이 좋지 않은 문제점이 있었다.

이와 같은 문제점을 감안한 본 발명은 유전용량이 크고, 누설전류가 작으며, 유전막 두께의 정확한 조절로 수율을 증가시킨 캐패시터 및 그 제조방법을 제공함에 목적이 있다.

### 발명의 구성 및 작용

상기와 같은 목적은 기판의 상부에 증착한 하부전극과: 상기 하부전극의 상부에 순차적으로 증착한 SiON, 질화막, 산화막과: 상기 산화막의 상부에 증착한 상부전극으로 구성되는 캐패시터를 기판의 상부에 다결정실리콘을 증착하여 하부전극을 형성하는 단계와: 상기 하부전극이 형성된 기판을 세정용액으로 세정하여 하부전극의 상부에 형성되는 자연산화막을 제거하는 단계와: 상기 하부전극의 상부에 SiON을 레이저 증착법으로 증착한 후, 그 SiON의 상부에 질화막과 산화막을 순차적으로 증착하는 단계와: 상기 산화막의 상부에 다결정실리콘을 증착하여 상부전극을 형성하는 단계로 제조함으로써 달성되는 것으로, 이와 같은 본 발명을 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.

도3은 본 발명 SiON/질화막/산화막 적층구조의 유전막을 갖는 캐패시터의 단면도로서, 이에 도시한 바와 같이 기판(1)의 상부에 증착한 하부전극(10)과: 상기 하부전극(10)의 상부에 순차적으로 증착한 SiON(5), 질화막(2), 산화막(3)과: 상기 산화막(3)의 상부에 증착한 상부전극(20)으로 구성된다.

이와 같은 구성의 본 발명 SiON/질화막/산화막 적층구조의 유전막을 갖는 캐패시터는 기판(1)의 상부에 다결정실리콘을 증착하여 하부전극(10)을 형성하는 단계와: 상기 하부전극(10)이 형성된 기판(1)을 HF용액으로 세정하여 하부전극(10)의 상부에 자연산화막(도면 미도시)을 제거하는 단계와: 상기 다결정실리콘 전극(10)의 상부에 SiON(5), 질화막(2), 산화막(3)을 순차적으로 증착하는 단계와: 상기 산화막(3)의 상부에 다결정실리콘을 증착하여 상부전극(20)을 형성하는 단계로 제조된다.

이하, 상기와 같은 본 발명을 좀더 상세히 설명한다.

먼저, 기판(1)의 상부에 다결정실리콘을 증착하고, 패턴을 형성한 후, 다결정실리콘과 산화막의 선택적 식각법을 이용하여 핀형의 하부전극(10)을 형성한다. 이때, 제조되는 하부전극(10)의 상부에는 자연산화막이 형성되며, 이는 HF용액으로 세정함으로써 제거한다.

그 다음, 상기 하부전극(10)의 상부에 SiON(5)을 증착한다. 이는 게이트 산화막 형성시 사용되는 열산화막의 열질화방법을 사용할 수 없다. 이는 하부전극(10)이 산화되는 것을 방지하기 위함이며, 따라서 200°C이하의 저온에서 하부막질에 영향을 주지 않고 양질의 막을 형성시킬 수 있는 레이저 증착법을 사용해야 한다.

이때 사용되는 레이저 증착법은 플라즈마 화학기상 증착법(PECVD)과 같이 저온에서도 막을 증착함이 가능하며, 과잉에너지에 의한 하부막의 손상, 높은 막 형성율로 인한 막두께 제어의 어려움 등의 플라즈마 화학기상 증착법의 단점을 보완하여, 이와 같은 레이저 증착장비는 도4에 도시한 바와 같이 진공상태에서 Ar, F<sub>2</sub>

를 소스로 하는 레이저를 각 메스 플로우 컨트롤러(MFC)의 제어를 받아 유입되는 SiON에 인가하여 증착하게 된다. 참고로 이와 같은 레이저 증착법에 의한 각 반응가스에 대한 흡수파장을 도5에 나타내었으며, 이를 도6의 (a) 및 (b)의 그래프도에 도시하였다. .

이와 같이 각 반응 가스들은 고유의 스펙트럼을 갖게 되며, SiON막의 형성은 Si<sub>2</sub>H<sub>6</sub>(또는 SiH<sub>4</sub>), N<sub>2</sub>O, NH<sub>3</sub> 가스를 사용하여 증착한다. 이때 사용하는 가스들은 모두 200이하의 흡수파장을 갖으며, 파장 193nm의 ArF를 레이저의 소스로 사용하면, 반응가스 등을 모두 광여기시키게 되어 SiON막(5)을 형성할 수 있게 된다.

상기 Si<sub>2</sub>H<sub>6</sub> 대신 막의 증착속도를 느리게 하여, SiON막(5)의 두께를 용이하게 조절하기 위해 SiH<sub>4</sub>를 사용하는 경우 193nm의 레이저 광에너지를에 의한 직접적인 분해가 불가능하므로 광여기된 N<sub>2</sub>O, NH<sub>3</sub>의 활성종인 O, NH<sub>2</sub>를 사용하여 SiON(5)을 증착시킨다. 이와 같은 레이저 증착법에서 온도는 막의 증착율에 관계하지 않고, 증착되는 막의 균일도에만 영향을 미치므로 50~200°C의 온도를 사용한다. 그리고, 반응로의 압력은 SiON(5)의 증착률에 직접적인 영향을 미치게 되므로, 200이하의 막을 형성하기 위해서는 100Pascal 이하의 낮은 압력을 사용한다. 그리고, 각 반응가스의 유량은 10~200 SCCM의 값을 갖도록 제어하며, 반응로의 압력제어를 위해서는 N<sub>2</sub> 가스를 사용한다. 이때 N<sub>2</sub> 가스는 반응로의 압력과 반응가스의 유량비를 고려하여 결정한다. 이와 같은 조건에서 각 반응가스는 레이저에 의해 여기되고, 이는 다시 기판(1)의 상부에서 결합하여 SiON(5)을 형성하게 되며, 이와 같은 메카니즘을 도7에 나타내었다.

그 다음, 상기와 같은 분위기의 레이저 증착법으로 SiON(5)을 증착한 후, 그 SiON(5)의 상부에 질화막(2)과 산화막(3)을 순차적으로 증착하여 유전막을 완성한다.

그 다음, 상기 산화막(3)의 상부에 다결정실리콘을 증착하여 상부전극(20)을 형성하여 캐패시터의 제조를 완료하게 된다.

#### 발명의 효과

상기한 바와 같이 본 발명 캐패시터 및 그 제조방법은 유전막을 SiON/질화막/산화막의 다층구조로 형성함으로써, SiON의 특성상 유전용량을 증가시키고, 누설전류를 감소시키게 되어 캐패시터의 특성을 향상시키는 효과와 아울러 상기 SiON을 증착두께의 조절이 가능한 레이저 증착법을 사용하여 증착함으로써 수율을 향상시키는 효과가 있다.

#### (57) 청구의 범위

##### 청구항 1.

기판의 상부에 증착한 하부전극과; 상기 하부전극의 상부에 순차적으로 증착한 SiON, 질화막, 산화막과; 상기 산화막의 상부에 증착한 상부전극으로 구성하여 된 것을 특징으로 하는 캐패시터.

##### 청구항 2.

기판의 상부에 다결정실리콘을 증착하여 하부전극을 형성하는 단계와; 상기 하부전극이 형성된 기판을 세정용액으로 세정하여 하부전극의 상부에 형성되는 자연산화막을 제거하는 단계와; 상기 하부전극의 상부에 SiON, 질화막, 산화막을 순차적으로 증착하는 단계와; 상기 산화막의 상부에 다결정실리콘을 증착하여 상부전극을 형성하는 단계로 이루어진 것을 특징으로 하는 캐패시터 제조방법.

##### 청구항 3.

제 2항에 있어서, 상기 세정용액은 HF용액인 것을 특징으로 하는 캐패시터 제조방법.

##### 청구항 4.

제 2항에 있어서, 상기 SiON은 레이저 증착방법으로 증착하는 것을 특징으로 하는 캐패시터 제조방법.

##### 청구항 5.

제 4항에 있어서, 상기 레이저 증착방법은 반응가스로 Si<sub>2</sub>H<sub>6</sub>, N<sub>2</sub>O, NH<sub>3</sub> 가스를 사용하는 것을 특징으로 하는 캐패시터 제조방법.

##### 청구항 6.

제 4항에 있어서, 상기 레이저 증착방법은 반응가스로 SiH<sub>4</sub>와 N<sub>2</sub>O, NH<sub>3</sub>의 활성종인 O, NH<sub>2</sub>를 사용하는 것을 특징으로 하는 캐패시터 제조방법.

##### 청구항 7.

제 4항에 있어서, 상기 레이저 증착방법은 파장 193nm의 ArF를 레이저의 소스로 사용하는 것을 특징으로 하는 캐패시터 제조방법.

##### 청구항 8.

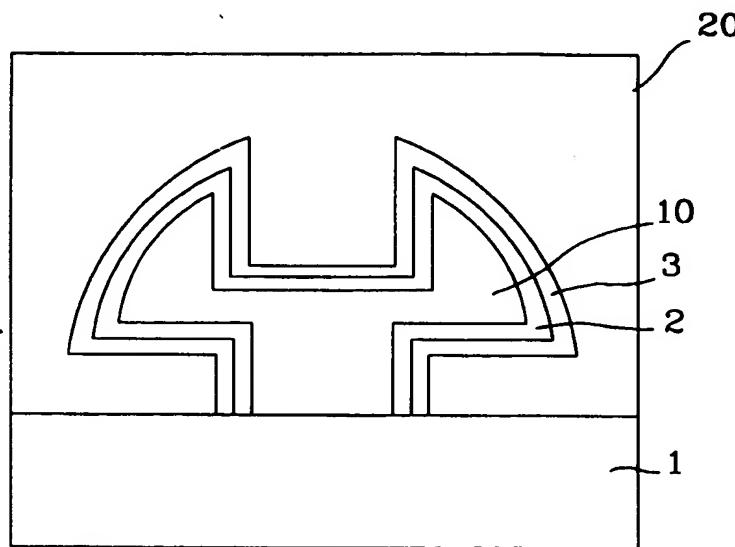
제 4항에 있어서, 상기 레이저 증착방법은 50~200°C의 온도, 100Pascal 이하의 압력과 각 반응가스의 유량은 10~200 SCCM의 값을 갖는 분위기에서 증착하는 것을 특징으로 하는 캐패시터 제조방법.

##### 청구항 9.

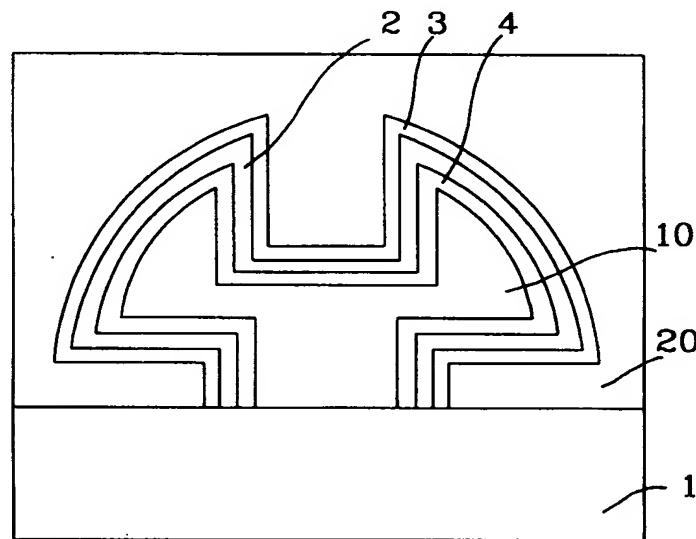
제 8항에 있어서, 상기 레이저 증착방법의 압력 분위기는 N<sub>2</sub>로 조절하는 것을 특징으로 하는 캐패시터 제조방법.

#### 도면

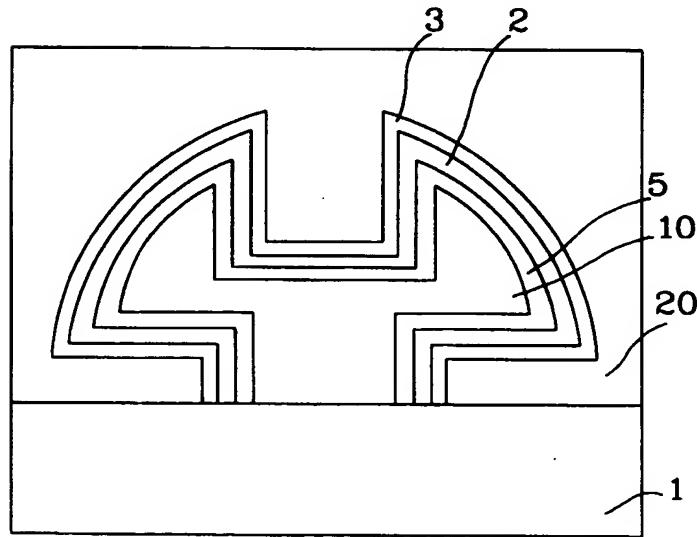
도면 1



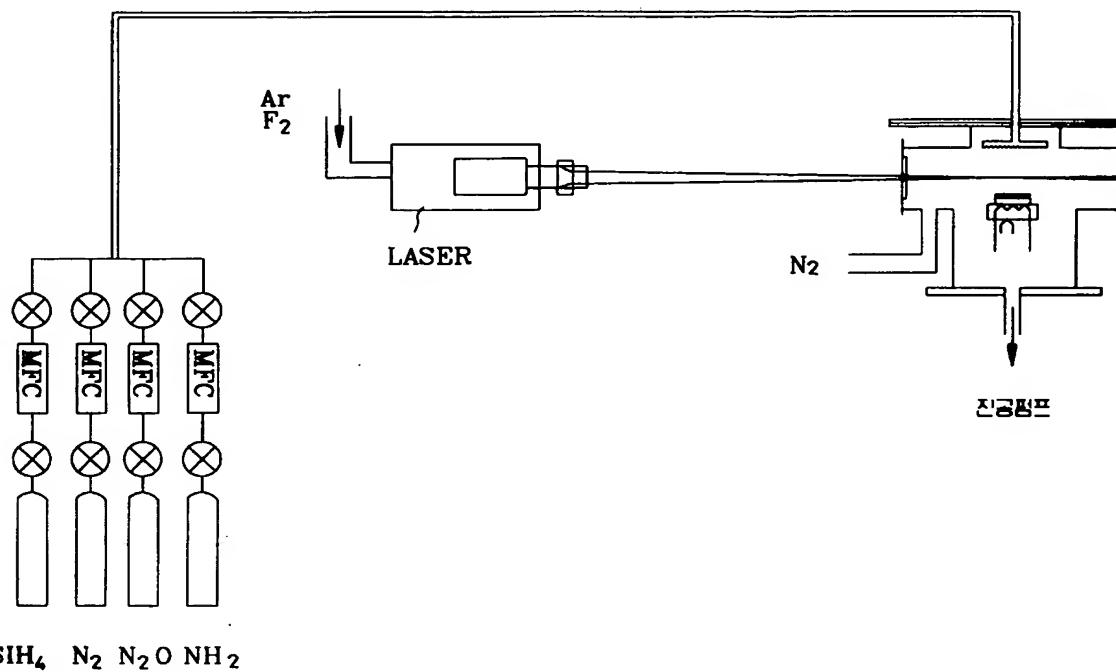
도면 2



도면 3



도면 4

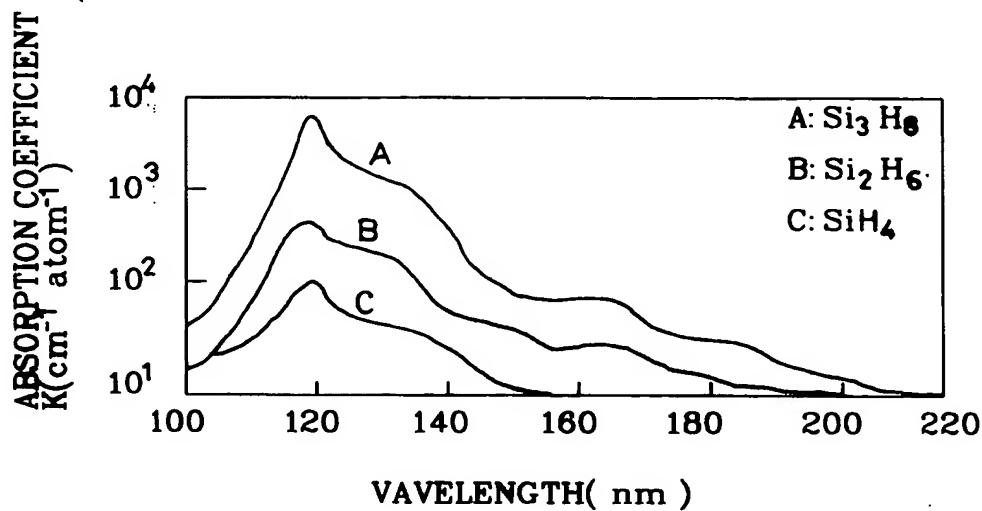


도면 5

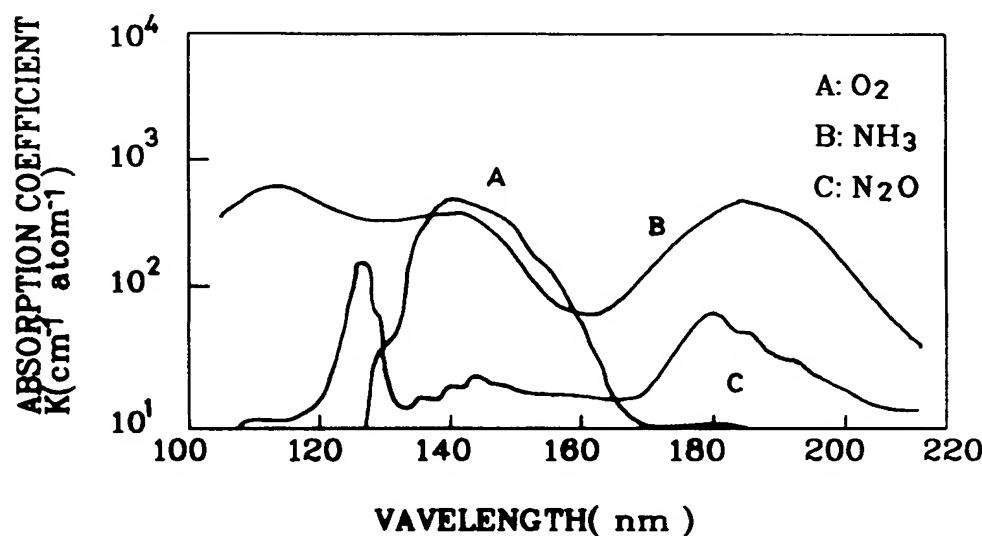
가스	흡수Ⅱ정 (mm)	가스	흡수Ⅱ정 (mm)
SiH <sub>4</sub>	< 160	HCl	< 280
Si <sub>2</sub> H <sub>6</sub>	< 200	Cl <sub>2</sub>	< 330
Si <sub>3</sub> H <sub>8</sub>	< 220	PH <sub>3</sub>	< 200
O <sub>2</sub>	< 242	CFCl <sub>2</sub>	< 265
CO <sub>2</sub>	< 228	CF <sub>2</sub> Cl <sub>2</sub>	< 240
N <sub>2</sub> O	< 240	CCl <sub>4</sub>	< 235
NO <sub>2</sub>	< 398	Al(CH <sub>3</sub> ) <sub>2</sub>	< 260
NH <sub>3</sub>	< 200	W(CO) <sub>6</sub>	< 300
B <sub>2</sub> H <sub>6</sub>	< 200	Mo(CO) <sub>6</sub>	< 300

도면 6

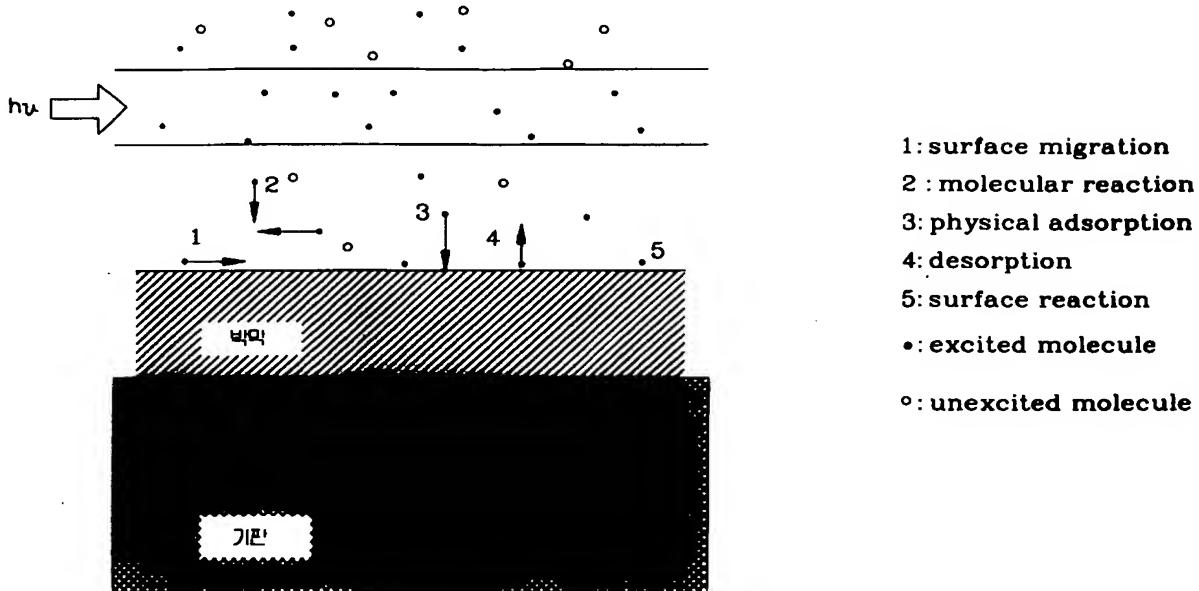
(a)



(b)



도면 7



BEST AVAILABLE COPY